

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-096921
 (43)Date of publication of application : 09.04.1999

(51)Int.CI. H01J 11/02
 H01J 17/16

(21)Application number : 09-255284
 (22)Date of filing : 19.09.1997

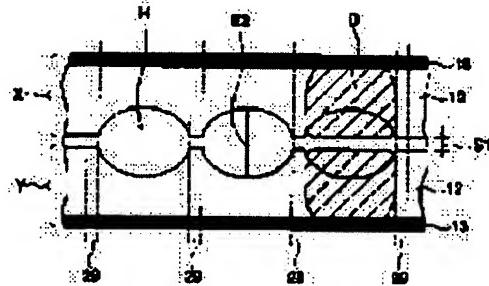
(71)Applicant : FUJITSU LTD
 (72)Inventor : TOMIOKA TETSUYOSHI
 HIRAKAWA HITOSHI
 NAKAHARA HIROYUKI

(54) PLASMA DISPLAY PANEL

(57)Abstract:

PROBLEM TO BE SOLVED: To uniformly distribute the discharge probability for the entire interior of a discharge cell, by forming the width of a discharge slit between a pair of electrodes located within the discharge cell is formed widely at the central part of the discharge cell, and narrowly in the vicinity of its partition wall.

SOLUTION: The width of a discharge slit between a pair of sustained electrodes X, Y located within a discharge cell H is formed so as to be wide as the discharge slit width S2 at the center of the discharge cell H, and so as to be almost elliptically and gradually narrower as it approaches from the center to the periphery, that is, as it approaches a partition wall 29, and eventually becoming equal to the discharge slit width S1. Potential difference is impressed between the electrode Y and an address electrode among a pair of sustained electrodes X, Y, and an address discharge is generated for forming charges, further the charges are reversed between both electrodes to generate a main discharge. By forming the sustained electrodes X, Y in this way, it is possible to uniformly distribute the discharge probability within the discharge cell, and prevent the deterioration of the protective film of the central part of the discharge cell earlier than the peripheral part.



LEGAL STATUS

[Date of request for examination] 07.09.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

BEST AVAILABLE COPY

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-96921

(43)公開日 平成11年(1999)4月9日

(51) Int.Cl.^a
H 01 J 11/02
17/16

識別記号

F I
H O I J 11/02
17/16

B

審査請求 未請求 請求項の数2 OL (全 5 頁)

(21) 出願番号 特願平9-255284

(22)出願日 平成9年(1997)9月19日

(71) 出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 富岡 哲好
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 平川 仁
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 中原 裕之
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 野河 信太郎

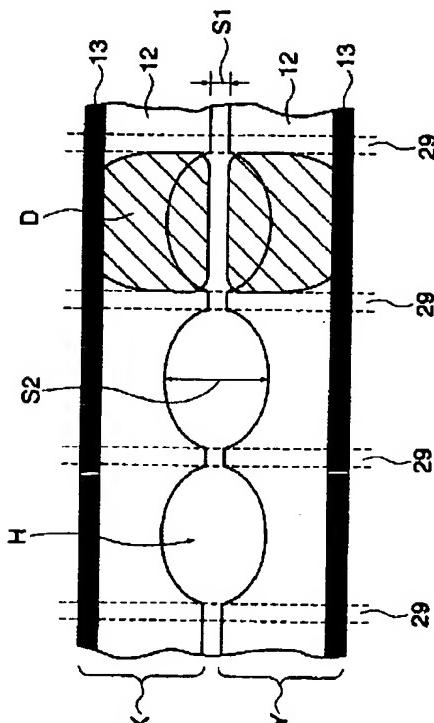
(54) 【発明の名称】 プラズマディスプレイパネル

(57) 【要約】

【課題】 プラズマディスプレイパネルに関し、サステイン電極の幅を、放電セルの中央部は広く、隔壁近傍は狭く形成し、それにより放電セルの中央部と周辺部との放電確率の差をなくす。

【解決手段】 一対の基板間の隔壁によって仕切られた放電空間内に放電セルを形成する一対の電極が平行して配置されたプラズマディスプレイパネルにおいて、一対の電極間の放電スリット幅を、放電確率が放電セル内において均一に分散されるように、放電セルの中心部では広く、放電セルの隔壁近傍では狭く形成する。

案例如におけるサステイン可能な構成を示す説明図



【特許請求の範囲】

【請求項 1】 一対の基板間の隔壁によって仕切られた放電空間内に放電セルを形成する一対の電極が平行して配置されたプラズマディスプレイパネルであって、前記一対の電極間の放電スリット幅が、放電確率が放電セル内において均一に分散されるように、放電セルの中心部では広く、放電セルの隔壁近傍では狭く形成されていることを特徴とするプラズマディスプレイパネル。

【請求項 2】 放電セル内に位置する一対の電極間の放電スリット幅が、放電セルの中心部から隔壁近傍に至るほど徐々に狭く形成されていることを特徴とする請求項 1 記載のプラズマディスプレイパネル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、プラズマディスプレイパネル（PDP）に関し、特に面放電型のPDPに関する。

【0002】

【従来の技術】 PDPは、一対のガラス基板を微少間隔で配置し、周辺を封止することによって内部に放電空間を形成した自己発光型の表示パネルである。このようなPDPでは、放電空間は隔壁によって仕切られており、この隔壁で仕切られた放電空間は放電セルと呼ばれている。

【0003】 従来のPDPの代表的なものとして、3電極構造のAC駆動型PDPを例に挙げて説明すると、以下のような構成となっている。すなわち、ガラスからなる前面側基板と背面側基板とが微少間隔で配置され、前面側基板の内面には、マトリクス表示のライン毎に一対のサステイン電極が配列されている。サステイン電極は誘電体層で被覆され、その誘電体層は酸化マグネシウム（MgO）からなる保護膜で覆われている。

【0004】 背面側基板の内面には、下地層の上にアドレス電極がサステイン電極と交差するように形成され、その上に絶縁層が形成された後、アドレス電極を換むよう帯状の隔壁が形成されている。この帯状の隔壁によって規定される細長い隔壁間溝部（放電セル）の内面（底面と側面）には、蛍光体層が形成されている。

【0005】 上述のように、従来のPDPでは、図4に示すように、一対のサステイン電極X、Yは、一定距離の放電スリット幅Sを隔てて形成された帯状の2本の電極で構成されており、それと直交するように隔壁51とアドレス電極（図4には図示していない）が形成されている。隔壁51で区画された領域が放電セルHの領域となる。サステイン電極X、Yは、それぞれが透明電極32と金属電極33から構成されている。放電スリット幅Sは通常100μm程度である。

【0006】 表示方法は、一対のサステイン電極X、Yの内のY電極（スキャンパルス印可電極）とアドレス電極間に電位差を与えて表示のためのアドレス放電を発生

させ、一対のサステイン電極X、Y間でその放電を維持する放電（主放電）を発生させて表示を行う。

【0007】

【発明が解決しようとする問題点】 しかしながら、従来のPDPにおいては、主放電は一対のサステイン電極X、Y間で電荷を反転させて行われるのであるが、図中Aの斜線の領域で示すように、放電は放電セルHの中心部Bで起こりやすく、放電セルHの周辺部である隔壁の近傍Cでは起こりにくい傾向にある。その結果、放電セルの周辺部に比べ中心部Bはスパッタ量が大きく、保護膜（DC型の場合は電極）を早く劣化させるため、輝度低下や点灯電圧上昇などの現象が起こりやすいという問題があった。

【0008】 この発明は、このような事情を考慮してなされたもので、電極の幅を、放電セルの中央部は広く、隔壁近傍は狭く形成し、それにより放電セルの中央部と周辺部との放電確率の差をなくすようにしたプラズマディスプレイパネルを提供するものである。

【0009】

【問題点を解決するための手段】 この発明においては、電極幅に強弱をつけ、放電確率の差を無くすようにしている。一般に、放電確率は放電のスリット間隔に強く影響（放電スリット幅が狭い=放電確率大、放電スリット幅が広い=放電確率小）されるため、この発明では、放電セル内の一対の電極間の放電スリット幅を、放電セルの中心部では広く、隔壁側では狭くしている。

【0010】 すなわち、この発明は、一対の基板間の隔壁によって仕切られた放電空間内に放電セルを形成する一対の電極が平行して配置されたプラズマディスプレイパネルであって、前記一対の電極間の放電スリット幅が、放電確率が放電セル内において均一に分散されるように、放電セルの中心部では広く、放電セルの隔壁近傍では狭く形成されていることを特徴とするプラズマディスプレイパネルである。

【0011】 この発明によれば、放電セル内に位置する一対の電極間の放電スリット幅が、放電セルの中心部では広く、放電セルの隔壁近傍では狭く形成されているので、放電セル内における放電確率は放電セル内全体に均一に分散される。

【0012】 したがって、放電セル内における中心部が周辺部よりも早く劣化することを防止することができ、これによりPDPの早期の輝度低下や点灯電圧上昇などを防止することができる。

【0013】

【発明の実施の形態】 この発明において、一対の基板としては、従来公知のPDPに用いられるガラス基板を適用することができる。

【0014】 一対の基板間に設けられた隔壁は、従来公知の材料と方法で形成することができる。

【0015】 帯状の一対の電極としては、従来公知のP

D Pの前面側のガラス基板の内面に形成されたサステイン電極を適用することができる。

【0016】上記プラズマディスプレイパネルの構成においては、放電セル内に位置する一对の電極間の放電スリット幅が、放電セルの中心部から隔壁近傍に至るほど徐々に狭く形成されることが望ましい。

【0017】以下、図面に示す実施の形態に基づいてこの発明を詳述する。なお、これによってこの発明が限定されるものではない。

【0018】図1はこの発明をカラー表示用の3電極構造のA C駆動型P D Pに適用した一実施例の構成を示す説明図である。

【0019】この図において、10はカラー表示用のA C駆動型P D Pである。前面側のガラス基板（以下、前面側基板という）11の内面には、マトリクス表示のラインL毎に一对のサステイン電極X、Yが配列されている。サステイン電極X、Yは、それぞれが透明電極12と金属電極13とからなり、誘電体層17で被覆され、誘電体層17は酸化マグネシウム（MgO）からなる保護膜18で覆われている。

【0020】背面側のガラス基板（以下、背面側基板という）21の内面には、下地層22の上にアドレス電極Aがサステイン電極X、Yと交差するように形成され、その上に絶縁層24が形成された後、アドレス電極Aを挟むように帯状の隔壁29が形成されている。帯状の隔壁29によって規定される細長い隔壁間溝部（放電セル）の内面（底面と側面）には、3色（R、G、B）の蛍光体層28R、28G、28Bが形成されている。

【0021】図2はサステイン電極の詳細な構成を示す説明図である。この図に示すように、本実施例においては、一对のサステイン電極X、Yは、最も近接した部分で放電スリット幅S1を有し、最も離れた部分で放電スリット幅S2を有する、ほぼ帯状の2本のサステイン電極Xとサステイン電極Yで構成されている。

【0022】上述したように、サステイン電極X、Yは、それぞれが透明電極12と金属電極13から構成されており、隔壁29とアドレス電極（図2には図示していない）は、サステイン電極X、Yと直交するようにならべて仕切られた放電セル内に帯状の一対の電極が配置された構成のP D Pであれば、どのようなP D Pであっても適用可能である。

【0023】放電セルH内に位置する一对のサステイン電極X、Y間の放電スリット幅は、放電セルHの中心部は放電スリット幅S2として広く形成され、放電セルの中心部から周辺部、つまり隔壁29の近傍に至るほど、ほぼ橢円状に徐々に狭く形成され、最終的には放電スリット幅S1となっている。

【0024】表示は、従来のP D Pと同様に、一对のサステイン電極X、Y内のY電極とアドレス電極A間に電位差を与えて電荷を形成するためのアドレス放電を発生させ、一对のサステイン電極X、Y間で電荷を反転さ

せて放電を維持するための放電（主放電）を発生させることにより行う。

【0025】図中Dの斜線の領域は本実施例における放電の拡がり方を示しており、放電は放電セルHの中心部で起こりやすく、放電セルHの周辺部である隔壁の近傍では起こりにくい傾向にあるが、本実施例のようにサステイン電極X、Yを形成することにより、放電セルH内における放電確率を均一に分散させることができ、保護膜の放電セルH内における中心部が周辺部よりも早く劣化することを防止することができ、P D Pの早期の輝度低下や点灯電圧上昇などを防止することができる。

【0026】図3はサステイン電極の他の実施例の構成を示す説明図である。この図に示すように、本実施例においては、基本的には実施例1の構成と同じであるが、実施例1とは一对のサステイン電極X、Yの形状が異なっている。

【0027】すなわち、一对のサステイン電極X、Yは、最も近接した部分で放電スリット幅S3を有し、最も離れた部分で放電スリット幅S4を有する、ほぼ帯状の2本のサステイン電極Xとサステイン電極Yで構成されている。

【0028】放電セルH内に位置する一对のサステイン電極X、Y間の放電スリット幅は、放電セルHの中心部は放電スリット幅S4として広く形成され、放電セルの周辺部である隔壁29の近傍では放電スリット幅S3として狭く形成されている。表示は、実施例1と同じ方法で行う。

【0029】図中Eの斜線の領域は本実施例における放電の拡がり方を示しており、本実施例のようにサステイン電極X、Yを形成しても、放電セルH内における放電確率を均一に分散させることができ、保護膜の放電セルH内における中心部が周辺部よりも早く劣化することを防止することができる。

【0030】なお、以上述べた実施例においては、P D Pとしてカラー表示用のA C駆動型P D Pを例に挙げて説明したが、この発明はこれに限定されるものではなく、一对の基板間に多数の隔壁が設けられ、その隔壁によって仕切られた放電セル内に帯状の一対の電極が配置された構成のP D Pであれば、どのようなP D Pであっても適用可能である。

【0031】

【発明の効果】この発明によれば、放電セル内での放電確率の均一性が良くなり、放電面積が拡大し、発光効率が高くなる。またプラズマディスプレイパネルの寿命も長くなる。

【図面の簡単な説明】

【図1】この発明をカラー表示用の3電極構造のA C駆動型P D Pに適用した一実施例の構成を示す説明図である。

【図2】実施例におけるサステイン電極の詳細な構成を

示す説明図である。

【図3】サステイン電極の他の実施例の構成を示す説明図である。

【図4】従来のPDPにおけるサステイン電極の詳細な構成を示す説明図である。

【符号の説明】

10 カラー表示用のAC駆動型PDP

11 前面側基板

12 透明電極

13 金属電極

17 誘電体層

18 保護膜

21 背面側基板

22 下地層

24 絶縁層

28R, 28G, 28B 融光体層

29 隔壁

A アドレス電極

H 放電セル

L 表示ライン

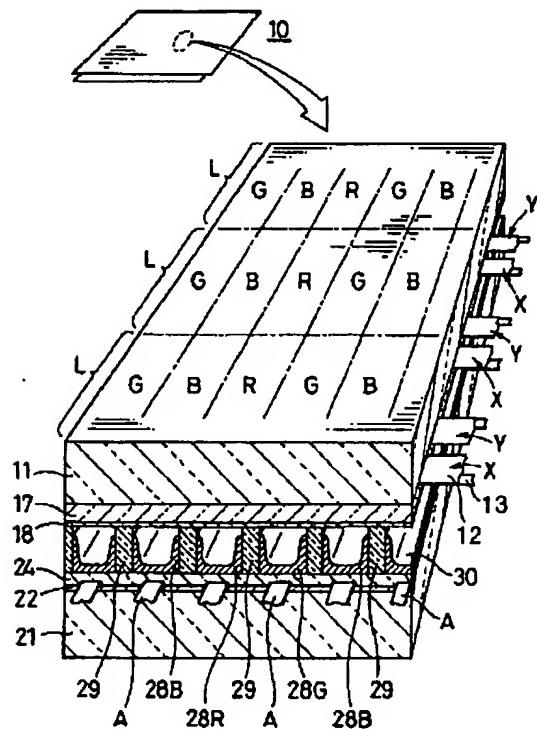
S1, S2, S3, S4 放電スリット幅

X, Y サステイン電極

【図1】

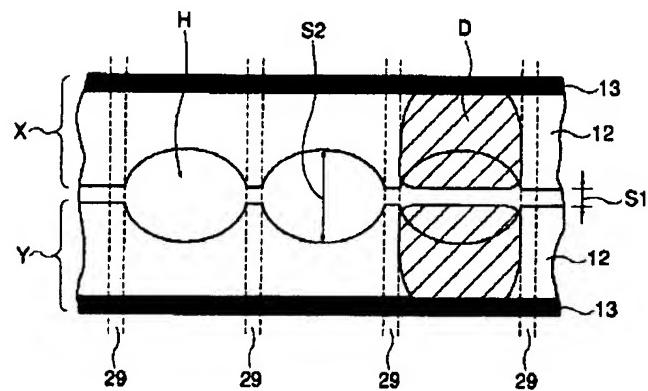
この発明をカラー表示用の3電極構造のAC駆動型PDP

に適用した一実施例の構成を示す説明図



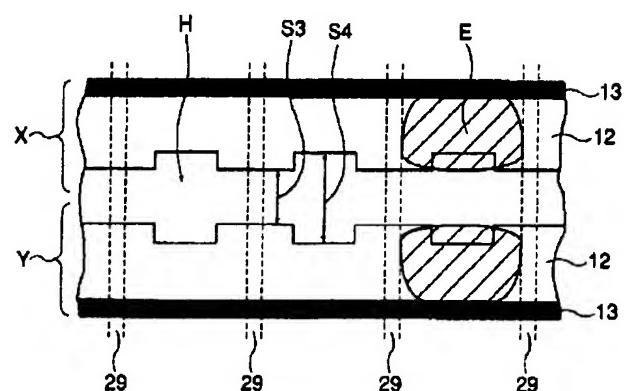
【図2】

実施例におけるサステイン電極の詳細な構成を示す説明図



【図3】

サステイン電極の他の実施例の構成を示す説明図



【図4】

従来のPDPにおけるサステイン電極の詳細な構成を示す説明図

